

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-211067
 (43)Date of publication of application : 15.08.1997

(51)Int.CI. G01R 31/26
 H01L 21/60
 H01R 43/00

(21)Application number : 08-013152
 (22)Date of filing : 29.01.1996

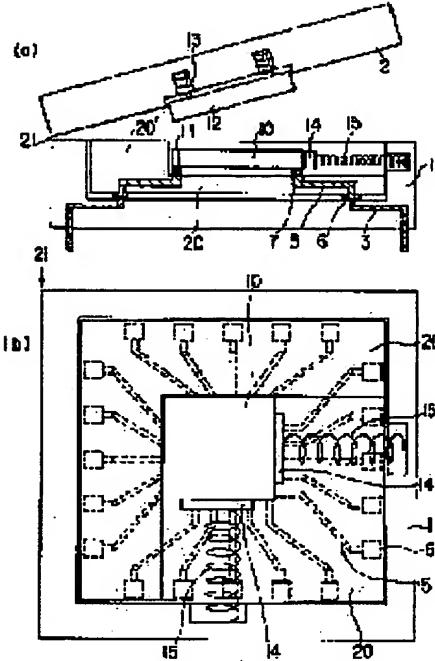
(71)Applicant : TOSHIBA CORP
 (72)Inventor : TAZAWA HIROSHI
 TAKUBO TOMOAKI

(54) TESTER FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the tester, which can prevent the position deviation between a substrate pad and a solder bump.

SOLUTION: This tester is constituted of a socket main body 1, a socket cap 2 and a substrate 20, which is contained in the inside of the socket main body 1, and on which a semiconductor element 10 is mounted. In this case, the socket main body 1 has a socket pin 3, which is exposed at the inner bottom surface of the socket main body 1 and drawn out to the external part of the socket main body 1. The substrate 20 has a wiring layer 5, which electrically connects the socket pin 3 and the electrode of the semiconductor element 10 and also has a wall part 20', which is molded in contact with two sides of the semiconductor elements 10. Furthermore, the main body 1 has compressing means 14, which compresses two sides of the semiconductor elements 10 facing the two sides of the main body under the contact states with two sides of the element 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-211067

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.⁶
G 0 1 R 31/26
H 0 1 L 21/60
H 0 1 R 43/00

識別記号
3 2 1

序内整理番号

F I
G 0 1 R 31/26
H 0 1 L 21/60
H 0 1 R 43/00

技術表示箇所
J
3 2 1 Y
Z

審査請求 未請求 請求項の数4 O.L (全7頁)

(21)出願番号 特願平8-13152

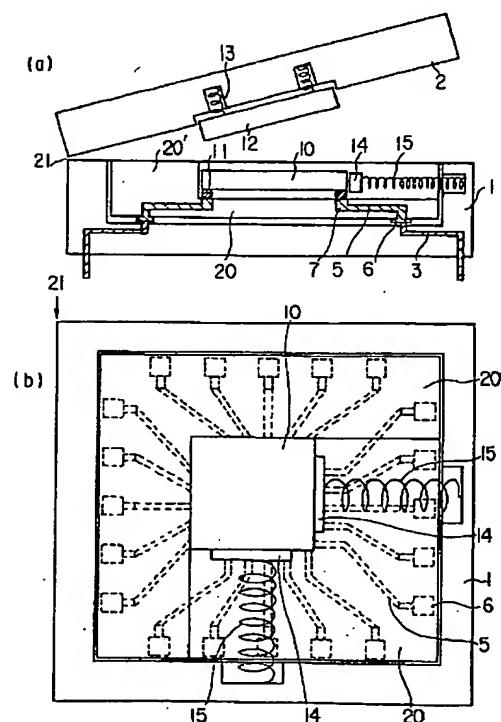
(22)出願日 平成8年(1996)1月29日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 田沢 浩
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(72)発明者 田嶋 知章
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の試験装置

(57)【要約】

【課題】基板パッドとはんだバンプとの位置のずれを防止することができる半導体装置の試験装置を提供する。
【解決手段】ソケット本体1と、ソケット蓋2と、ソケット本体1の内部に収納されその上に半導体素子10が搭載される基板20とを具備し、ソケット本体1はソケット本体1の内底面に露出しソケット本体1の底面部を通してソケット本体1の外部に引き出されているソケットピン3を有し、基板20はこのソケットピン3と半導体素子10の電極とを電気的に接続する配線層5を有し、基板20は半導体素子10の2つの辺に接触するように一体成形されている壁部20'を有し、本体1は2つの辺と対向する半導体素子10の2辺に接触して加圧する加圧手段14を有する。



【特許請求の範囲】

【請求項1】 ソケット本体と、ソケット蓋と、前記ソケット本体の内部に収納されてその上に半導体素子が搭載される基板とを具備し、前記ソケット本体はソケット本体の内側底面に露出し前記ソケット本体の底面部を通じて前記ソケット本体の外部に引き出されているソケットピンを有し、前記基板はこのソケットピンと前記半導体素子の電極とを電気的に接続する配線層を有する半導体装置の試験装置において、前記基板は前記半導体素子の2つの辺に接触するように一体成形されている壁部を有し、前記本体は前記2つの辺と対向する半導体素子の2辺に接触して加圧する加圧手段を有することを特徴とする半導体装置の試験装置。

【請求項2】 前記基板はセラミックにより形成されている請求項1記載の半導体装置の試験装置。

【請求項3】 前記蓋は、前記蓋を閉じる時に前記基板の壁部に向かう方向に前記半導体素子に対して圧力が加わるような開閉構造を具備する請求項1または2記載の半導体装置の試験装置。

【請求項4】 前記蓋は前記本体の上面に設置された開閉軸を中心として回転することにより開閉し、この開閉軸は前記壁部に隣接している前記本体の側壁面上に位置するように構成されている請求項3記載の半導体装置の試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子の電気的な試験を行うために使用されるソケットを具備する半導体装置の試験装置に関する。

【0002】

【従来の技術】 半導体素子の信頼性等を電気的に試験する場合、通常は半導体素子を樹脂封止型パッケージに収納して試験を行う。すなわち、半導体素子をリードフレーム上に搭載し、例えばワイヤーボンディングにより半導体素子上の電極とリードとを接続した後、樹脂を封止する。さらに、この樹脂封止型パッケージの外部リードと接触するようにピンが形成されているソケットを行い、外部リードとソケットのピンとを接觸させて試験を行う。

【0003】 また、はんだバンプにより電極が構成されている半導体素子を試験する場合には、樹脂封止せずに試験を行う。ここで、半導体素子のはんだバンプと上記のソケットのピンとを接続する配線を有する基板を用いることにより、上記のソケットを用いて、試験することが可能となる。すなわち、この基板を半導体素子とソケットとの間に設置して、試験を行う。

【0004】 図4に、前述のような基板を有する従来のソケットの構造を示す。図4の(a)は従来のソケットの断面図、図4の(b)は上面図である。従来のソケットは、本体1と蓋2とから構成されている。本体1は、

前述のように、樹脂パッケージの外部リードに対応する位置に、ピン3を有している。また、本体1の内部に基板4が設置され、この基板4上に半導体素子10が搭載される。

【0005】 ここで、基板4は、ソケットのピン3と、半導体素子10の電極を構成するはんだバンプ11とを接続する配線5を備えている。すなわち、この配線5は、ソケットのピン3およびはんだバンプ11に対応する位置において基板4から露出されて、それぞれ基板パッド6および7を構成している。

【0006】 さらに、基板パッド7とはんだバンプ11との位置を合わせるため、基板4上に位置決め用の壁8が接着されている。また、蓋2は、ばね13により蓋2と接続されている板部12を具備する。

【0007】 このような従来のソケットを具備する半導体装置の試験装置では、半導体素子10を基板4上に載せて、位置決め用の壁8をガイドとして、はんだバンプ11を基板パッド7の位置に合わせる。次に、蓋2を閉めて、板部12により半導体素子11を固定して、試験を行う。

【0008】 このように、従来の半導体装置の試験装置では、基板4を使用することにより、樹脂封止されていない、はんだバンプを電極とする半導体素子と、樹脂封止された半導体素子とを、同一のソケットを用いて試験することができる。このようにすることにより、新しい型のソケットを製造する必要がなくなるため、製造コストを低減することができる。

【0009】 しかし、このような位置決め用の壁8を具備する基板4では、位置合わせの精度および加工精度を考慮して、位置決め用の壁8と半導体基板10との間に例えば $100\mu m$ 程度の余裕が形成されるように、位置決め用の壁8は接着されている。このため、蓋2を閉める時に、図4の(b)に示すように、半導体素子10が回転して、基板パッド7に対するはんだバンプ11の位置がずれるという問題があった。

【0010】 例えば、一般に、はんだバンプ11は $100\mu m$ 程度の幅と $100\mu m$ 程度の間隔を有するように形成されているため、前述の余裕に起因して $100\mu m$ 程度位置がずれた場合には、はんだバンプ11が基板パッド7に接触せず、電気的な試験ができないという問題が生じる。

【0011】 このため、このような問題を解決するためには、図5に示すような半導体装置の試験装置が提案されている。ここでは、位置決め用の壁8が半導体素子10の2辺に接するように形成されている。また、位置決め用の壁8が設置されていない部分では、本体の側壁にばね15を介して板部14が設置されている。

【0012】 このような図5に示す半導体装置の試験装置では、板部14により、半導体素子10を位置決め用の壁8に押し付けることにより、位置合わせを行う。し

かし、一般に、基板4は例えばポリイミド等の高分子化合物を主成分とする樹脂により形成されるため、その膜厚を厚くすることができない。このため、位置決め用の壁8は、別に形成された部品を基板4に接着することにより、形成される必要がある。この時に、位置決め用の壁8を基板パッド7に対して精度良く位置を合わせて接着することは非常に困難である。

【0013】また、信頼性の試験を行う時には、一般に150°C程度の温度で試験を行う。このため、ポリイミド等の樹脂により形成されている基板4が変形して、基板パッド7とはんだバンプ11との位置がずれてしまう可能性があった。このため、信頼性試験により発見された不良が、半導体素子に起因するものであるか、基板パッド7とはんだバンプ11との位置のずれに起因するものであるのか、判断できないという問題がある。

【0014】さらに、ばね力が十分でない場合には、前述と同様に、蓋2を閉める時に半導体素子10に力が加わり、図5の(b)に示すように、半導体素子10が回転する可能性がある。特に、図5に示すように、ソケット本体1のばね15が設置されている側壁側を開閉軸21として蓋2を閉じる場合、半導体素子10には位置決め用の壁8と逆の方向に圧力がかかるため、ばね15のばね力のみでは半導体素子10を支持することができない。

【0015】

【発明が解決しようとする課題】このように、位置決め用の壁が基板上に接着されている従来の半導体装置の試験装置では、蓋の開閉時または試験中に、基板パッドとはんだバンプとの位置がずれて、試験を行うことが不可能になるという問題があった。本発明の目的は、基板パッドとはんだバンプとの位置のずれを防止することができる半導体装置の試験装置を提供することである。

【0016】

【課題を解決するための手段】上記課題を解決し目的を達成するために、本発明による半導体装置の試験装置は、ソケット本体と、ソケット蓋と、前記ソケット本体の内部に収納されその上に半導体素子が搭載される基板とを具備し、前記ソケット本体はソケット本体の内側底面に露出し前記ソケット本体の底面部を通って前記ソケット本体の外部に引き出されているソケットピンを有し、前記基板はこのソケットピンと前記半導体素子の電極とを電気的に接続する配線層を有する半導体装置の試験装置において、前記基板は前記半導体素子の2つの辺に接触するよう一体成形されている壁部を有し、前記本体は前記2つの辺と対向する半導体素子の2辺に接触して加圧手段を有することを特徴とする。

【0017】また、本発明による半導体装置の試験装置は、上記の半導体装置の試験装置において、前記基板がセラミックにより形成されていることを特徴とする。また、前述の半導体装置の試験装置において、前記蓋は、

前記蓋を閉じる時に前記基板の壁部に向かう方向に前記半導体素子に対して圧力が加わるような開閉構造を具備することも可能である。

【0018】さらに、前述の半導体装置の試験装置において、前記蓋は前記本体の上面に設置された開閉軸を中心として回転することにより開閉し、この開閉軸は前記壁部に隣接している前記本体の側壁面上に位置するよう構成されていることを可能である。

【0019】このように、本発明による半導体装置の試験装置では、基板が半導体素子の2つの辺に接触するよう一体成形されている壁部を有し、本体は前記2つの辺と対向する半導体素子の2辺に接触して半導体素子を加圧する加圧手段を有するため、この半導体素子を加圧手段により壁部に押しつけて位置合わせを行うことができる。

【0020】ここで、この壁部が基板と一体成形されているため、別の部品を基板上に接着して位置決め用の壁を構成する従来に比べて、壁部と基板パッドとの間の位置合わせの精度を向上することができる。このため、半導体装置の電極と基板パッドとの間の位置合わせの精度を向上することができる。

【0021】また、壁部と基板とが一体成形されているため、別の部品を基板上に接着して位置決め用の壁を構成する従来に比べて、圧力に対する強度を向上することができる。このため、ばねの力を増大することが可能となり、半導体素子に対してさまざまな方向に働く圧力により、半導体素子の位置がずれることを防止することができる。これにより、半導体素子の電極と基板パッドの位置がずれることを防止することができる。

【0022】また、セラミックにより基板を構成する上記の半導体装置の試験装置では、一般にセラミックは温度変化による形状の変化が小さく、高温においても変形しにくいため、高温の信頼性試験等において、基板が変形することを防止することができる。このため、基板の変形により、電極と基板パッドの間の位置がずれることを防止することができる。

【0023】さらに、蓋を閉じる時に基板の壁部に向かう方向に半導体素子に対して圧力が加わるような開閉構造を蓋が具備している前述の半導体装置の試験装置では、蓋を閉じる時に、半導体素子が壁部に押し付けられるように、半導体素子に対して圧力が働くため、半導体素子がずれることを防止することができる。これにより、電極と基板パッドの間の位置がずれることを防止することができる。

【0024】また、上記の半導体装置の試験装置において、蓋が本体の上面に設置された開閉軸を中心として回転することにより開閉し、この開閉軸は前記壁部に隣接している前記本体の側壁面上に位置するよう構成されている場合には、蓋を閉じる時に壁部に向かう方向に半導体素子に対して圧力が加わるため、半導体素子が壁部

に押し付けられることにより、半導体素子がずれることを防止することができる。これにより、電極と基板パッドの間の位置がずれることを防止することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1の(a)は、本発明の第1の実施の形態による半導体装置の試験装置の構造を示す断面図、図1の(b)は、その本体の上面図である。

【0026】従来の試験装置と同様に、本実施の形態による半導体装置の試験装置は、本体1と蓋2とから構成されているソケットと、本体1の内部の設置されてその上に半導体素子10が搭載される基板20とにより構成される。

【0027】本体1は、従来と同様に、樹脂パッケージの外部リードに対応する位置に、ピン3を有している。また、本体1の2つの側面に、ばね15を介して板部14が設置されている。

【0028】基板20は、従来と同様に、ソケットのピン3と、半導体素子10の電極を構成するはんだバンプ11とを接続する配線5を備えている。すなわち、この配線5は、ソケットのピン3およびはんだバンプ11に対応する位置において基板4から露出されて、それぞれ基板パッド6および7を構成している。

【0029】さらに、基板4上に位置決め用の壁8が接着されていた従来のものと異なり、本実施の形態の基板20は、一体成形された壁部20'を具備している。このような基板20は、例えばセラミックにより形成することができる。

【0030】また、蓋2は、従来と同様に、ばね13により蓋2と接続されている板部12を具備するが、ばね15が設置されている側壁面側を軸として開閉するように構成されていた従来と異なり、壁部20'と接触する側壁面側を軸21として開閉されるように、本体1に設置されている。

【003.1】このような本実施の形態による半導体装置の試験装置では、半導体素子10を壁部20'に接触するように基板20上に載せて、ばね15の圧力により、板部14を用いて半導体素子10を壁部20'に押し付けることにより、はんだバンプ11と基板パッド7との間の位置合わせを行う。次に、蓋2を閉めて、板部12により半導体素子11を固定する。この時、ばね13の圧力により、半導体素子10が基板20に、基板20が本体1に押し付けられる。このようにして、はんだバンプ11と基板パッド7との間の電気的接続性と、基板パッド6とソケットピン3との間の電気的接続性とを向上させて、試験を行う。

【0032】以上のように、本実施の形態では、例えばセラミック等により一体成形された壁部20'を有する基板20を具備することが特徴である。このため、別の

部品により位置決め用の壁8を形成し、基板4上に接着していた従来のものに比べて、半導体素子10が接触する壁部20'と基板パッド7との位置合わせの精度を向上することができる。これにより、半導体素子10のはんだバンプ11と基板パッド7との位置合わせの精度を向上することができる。

【0033】また、従来の半導体装置の試験装置では、位置決め用の壁8を基板4上に接着していたため、圧力に対する接着強度が十分でなく、ばね15の力が大きくすることが困難であった。このため、半導体素子10をばね15により位置決め用の壁8に押し付けて固定した場合にも、例えば蓋2を閉じる時に、半導体素子10に加わる圧力により、半導体素子10の位置がずれるという問題があった。しかし、本実施の形態では、壁部20'を基板20と一体成形しているため、ばね15の力を十分に強くすることができ、半導体素子10の位置がずれることを防止することができる。

【0034】さらに、一般に、セラミックは温度による形状の変化が少なく、また、高温においても変形しにくい。このため、高温で信頼性等の試験を行う時に、基板20が変形してはんだバンプ11と基板パッド7との間の位置、または基板パッド6とソケットピン3との間の位置がずれることを防止することができる。このため、高温試験により、これらの位置のずれに起因した不良が発生しないため、半導体素子に起因する不良を、より確実に発見することができる。

【0035】また、一般にセラミックは圧力に対して変形しにくい。基板4を樹脂により形成していた従来の半導体装置の試験装置では、基板4が変形しやすいため、ばね13の力を大きくすることが困難である。これにより、はんだバンプ11と基板パッド7との間の電気的接触、または基板パッド6とソケットピン3との間の電気的接触が不十分となり、これに起因した不良が観測される可能性があった。これに対して、本実施の形態では、ばね13の力を増大することができるため、半導体素子10と基板20および基板20とソケットとの間の電気的接触不良により、不良が観測されることを防止することができる。

【0036】また、樹脂により基板4を形成する従来の半導体装置の試験装置では、基板4の配線層5をエッチングにより形成するため、配線層5の間隔を狭くすることが非常に困難である。これに対して、本実施の形態では、セラミックにより基板20を形成するため、このセラミック上に印刷技術を用いて配線層5を形成することができる。一般に、エッチング技術を用いた場合には、例えば $100\mu m$ 程度の間隔を有する配線層を形成することが限界であるが、印刷技術では例えば $80\mu m$ 程度の、エッチングに比べてより間隔の狭い配線層を形成することができる。このように、本実施の形態による半導体装置の試験装置では、はんだバンプの間隔がより狭い

半導体素子を試験することが可能となる。

【0037】さらに、樹脂により基板4を形成する従来の半導体装置の試験装置では、基板4が変形しやすいため、基板4を積層して多層配線層を形成することが非常に困難である。このため、例えば図2の(a)に示すように、はんだバンプ11が周囲に一列に配置されている半導体素子10のみを試験することが可能であった。これに対して本実施の形態では、セラミックにより基板20を形成するため、配線層を多層にすることが可能である。このため、図2の(b)に示すように、半導体素子10の周辺に加えて中央部分にも、はんだバンプ11を有する半導体素子10の試験を行うことが可能となる。

【0038】また、図1に示すように、蓋2の開閉軸21が壁部20'と接する側壁側に位置するように、蓋2を本体1に設置することが望ましい。このようにすることにより、蓋2を閉める時に、半導体素子10に対して壁部20'の方向に圧力がかかるため、半導体素子10が回転することを防止して、はんだバンプ11と基板パッド7との間の位置がずれることを防止することができる。

【0039】次に、本発明の第2の実施の形態について、図3を用いて説明する。図3は、本発明の第2の実施の形態による半導体装置の試験装置の構造を示す上面図である。

【0040】本実施の形態による半導体装置の試験装置は、前述の第1の実施の形態と同様に、本体1と蓋2と基板20と半導体素子10とにより構成される。また、基板20は、セラミックにより一体成形された壁部20'を具備している。

【0041】ここで、本実施の形態による半導体装置の試験装置では、第1の実施の形態と異なり、基板20の壁部20'と、これに対向する板部14とが、蓋2の開閉軸21に対して、斜めに設置されている。

【0042】このような構造にすることにより、上記第1の実施の形態において述べた効果に加えて、本実施の形態では、蓋2を閉じる時に、半導体素子10に対して、壁部20'の角部aに向かう方向に圧力が加わるために、半導体素子10が角部aに押し込まれ、半導体素子10が回転することを防止することができる。

【0043】なお、前述の2つの実施の形態において、蓋2の開閉軸21が壁部20'側に設置されているが、

蓋2の構造および開閉軸の方向はこれに限らず、例えば半導体素子10の上表面に対して、垂直に移動させることにより開閉を行うような構造の蓋2を用いることも可能である。このような構造とすることにより、蓋2の開閉により半導体素子10が回転することを考慮する必要をなくすことができる。

【0044】このように、前述のような一体成形の壁部を有する基板20を用いることにより、従来と同様のソケットを用いて、例えばはんだバンプを電極とする半導体素子等、様々な構造を有する半導体素子の試験を行い、不良を精度良く発見することが可能となる。このため、新たなソケットを製造する必要がなく、製造コストを低減することができる。

【0045】

【発明の効果】以上のように、本発明による半導体装置の試験装置では、基板パッドとはんだバンプとの間の位置のずれを防止し、試験を確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の試験装置の構造を示す断面図および上面図。

【図2】本発明による効果を説明する半導体素子の底面図。

【図3】本発明の第2の実施の形態による半導体装置の試験装置の構造を示す上面図。

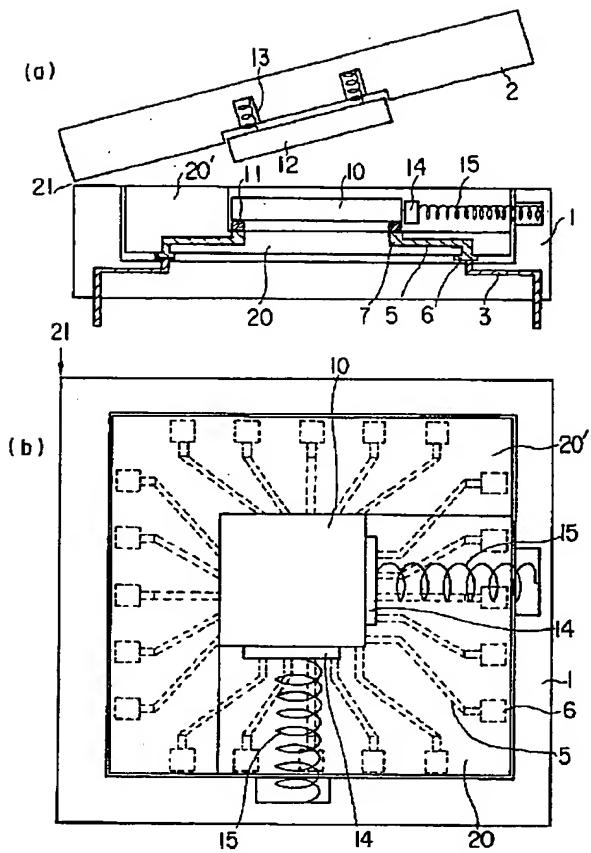
【図4】従来の半導体装置の試験装置の構造を示す断面図および上面図。

【図5】従来の半導体装置の試験装置の構造を示す断面図および上面図。

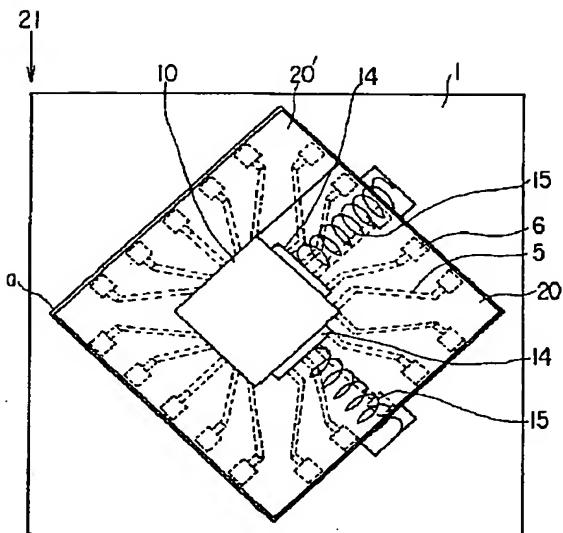
【符号の説明】

- 1…ソケット本体、
- 2…ソケット蓋、
- 3…ソケットピン、
- 4、20…基板、
- 5…配線層、
- 6、7…基板パッド、
- 8…位置決め用壁、
- 10…半導体素子、
- 11…はんだバンプ、
- 12、14…板部、
- 13、15…ばね、
- 21…蓋の開閉軸。

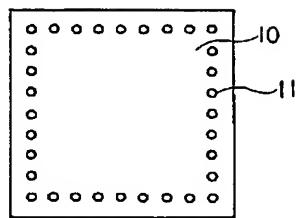
【図 1】



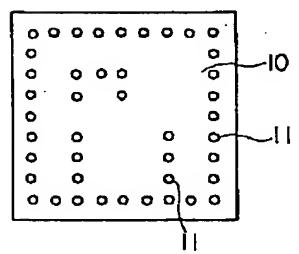
【図3】



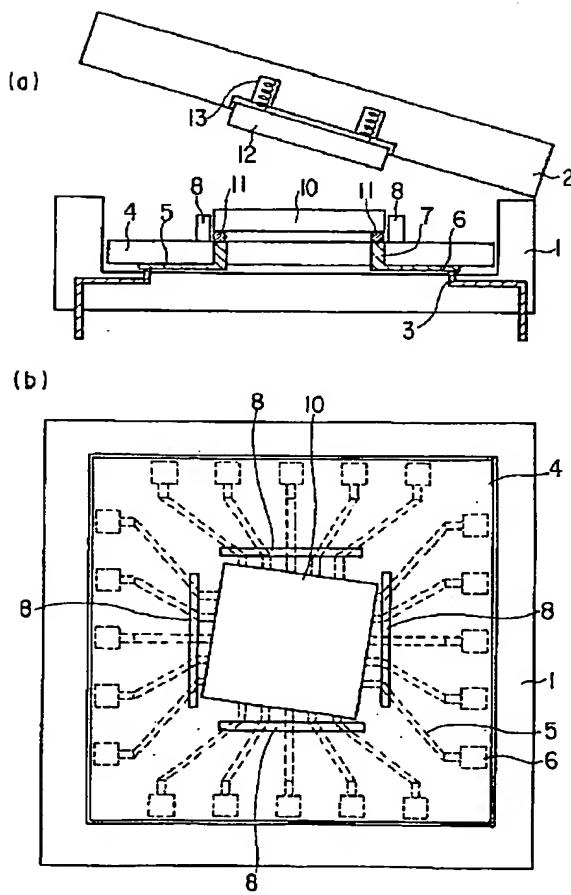
【図2】



(b)



〔図4〕



【図5】

